

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030022692 A
(43)Date of publication of application: 17.03.2003

(21)Application number: 1020020050164
(22)Date of filing: 23.08.2002

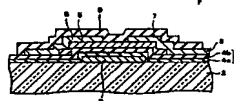
(71)Applicant: KAWASAKI MASASHI
OHNO HIDEO
SHARP CORPORATION
(72)Inventor: KAWASAKI MASASHI
KOBAYASHI KAZUKI
OHNO HIDEO
SAKONO IKUO

(51)Int. Cl. G02F 1/136

(54) THIN FILM TRANSISTOR AND MATRIX DISPLAY

(57) Abstract:

PURPOSE: To improve TFT characteristics of a thin film transistor having a transparent semiconductor film. CONSTITUTION: A gate insulation film 4 which comprises a first insulation film 4a and a second insulation film 4b is formed on a gate electrode 3. On the second insulation film 4b, a semiconductor layer 5 formed of ZnO or the like is formed. The first insulation film 4a is formed of SiNx or the like having a high insulation property, while the second insulation film 4b is formed of an oxide (for example, SiO₂). Due to this structure, the crystallinity of the semiconductor layer 5 which forms an interface with the second insulation film 4b can be increased, and at the same time, a defective level of an interface between the semiconductor layer and the second insulation film can be reduced. By forming the second insulation film of an oxide, the capture of oxygen by the material of the second insulation film from the semiconductor layer can be suppressed, resulting in the crystallinity being kept in a good condition near the interface of the semiconductor layer with the second insulation film. Consequently, a thin film transistor which has a low level of leakage current in an off-region, has a high mobility and has a good switching characteristic can be realized.



copyright KIPO & JPO 2003

Legal Status

Date of request for an examination (20020823)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (20050325)
Patent registration number (1004909240000)
Date of registration (20050512)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)

THIS PAGE BLANK (USPTO)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

THIS PAGE BLANK (USPTO

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) 。 Int. Cl. 7
G02F 1/136

(11) 공개번호 특2003 - 0022692
(43) 공개일자 2003년03월17일

(21) 출원번호 10 - 2002 - 0050164
(22) 출원일자 2002년08월23일

(30) 우선권주장 JP - P - 2001 - 00274333 2001년09월10일 일본 (JP)

(71) 출원인 카와사키 마사시
일본 미야기 980 - 0861 센다이시 아오바쿠 카와우치모토하세쿠라 35 - 1 - 101
오노 히데오
일본 미야기 981 - 3134 센다이시 이즈미쿠 카츠라 3 - 33 - 10
샤프 가부시기가이샤
일본 오사카후 오사카시 아베노꾸 나가이쵸 22방 22고

(72) 발명자 카와사키 마사시
일본 미야기 980 - 0861 센다이시 아오바쿠 카와우치모토하세쿠라 35 - 1 - 101
오노 히데오
일본 미야기 981 - 3134 센다이시 이즈미쿠 카츠라 3 - 33 - 10
코바야시카즈키
일본오사카594 - 0022이즈미시쿠로토리초3 - 3 - 24
사코노이쿠오
일본쿄토619 - 0225소라쿠군키주초키주가와다이7 - 7 - 10

(74) 대리인 백덕열
이태희

심사청구 : 있음

(54) 박막트랜지스터 및 매트릭스표시장치

요약

박막트랜지스터에 있어서, 게이트전극상에, 제1 절연막 및 제2 절연막을 포함하는 게이트절연막이 형성되고, 제2 절연막상에, ZnO 등을 사용한 반도체층이 형성된다. 제1 절연막은, 절연성이 높은 SiN_x 등으로 형성되는 한편, 제2 절연막은, 산화물(예컨대, SiO_2)에 의해서 형성된다. 이 구조에 의해, 제2 절연막과 계면을 형성하는 반도체층의 결정성의 향상, 및 반도체층과 제2 절연막과의 계면의 결합준위의 저감을 도모할 수 있다. 또한, 제2 절연막이 산화물로 구성되는 것으로, 제2 절연막의 재료에 의해서 반도체층으로부터 산소를 빼앗기는 것을 억제할 수 있다. 이에 의해, 반도체층의 제2 절연막과의 계면부근의 결정성이 양호하게 유지된다. 그 결과, OFF 영역에서의 누설전류 레벨이 낮고, 또한 이동도가 높은 스위칭특성이 양호한 박막트랜지스터를 실현할 수 있다. 따라서, 투명반도체막을 갖는 박막트랜지스터에 있어서, TFT 특성이 향상된다.

대표도

도 1

명세서

도면의 간단한 설명

도1은, 본 발명의 실시예 1 및 실시예 2에 따른 박막트랜지스터의 구성을 도시하는 단면도이다.

도2a 내지 도2f는 상기 박막트랜지스터의 제조공정을 도시하는 각 부의 단면도이다.

도3은, 상기 박막트랜지스터의 일 제작예의 V_g - I_d 특성을 도시하는 그래프이다.

도4는, 본 발명의 실시예 2에 따른 박막트랜지스터의 일 제작예의 V_g - I_d 특성을 도시하는 그래프이다.

도5는, 본 발명의 실시예 3에 따른 박막트랜지스터의 구성을 도시하는 단면도이다.

도6a 내지 도6g는 상기 박막트랜지스터의 제조공정을 도시하는 각 부의 단면도이다.

도7은, 본 발명의 실시예 3에 따른 박막트랜지스터의 일 제작예의 V_g - I_d 특성을 도시하는 그래프이다.

도8은, 본 발명의 실시예 4에 따른 매트릭스표시장치의 주요부의 구성을 도시하는 블록도이다.

도9는, 상기 매트릭스표시장치에 있어서의 화소의 구성을 도시하는 회로도이다.

도10은, 종래의 박막트랜지스터의 일 제작예의 V_g - I_d 특성을 도시하는 그래프이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 투명반도체막을 갖는 박막트랜지스터 및 그를 사용한 매트릭스표시장치에 관한 것이다.

액정표시장치 등의 매트릭스표시장치는, 매트릭스 형태로 배열된 화소, 및 각 화소에 구동전압을 인가하는 스위칭소자를 구비하고 있다. 스위칭소자를 ON 하면, 구동전압이 화소에 인가되고, 스위칭소자를 OFF 하면, 구동전압의 인가는 행해지지 않는다. 이러한 스위칭소자로서 널리 사용되고 있는 박막트랜지스터(TFT)는, 통상, 반도체층에 아모르퍼스 실리콘을 사용하고 있다.

아모르퍼스 실리콘은 광의 조사에 의해 도전성을 나타내기 때문에, 박막트랜지스터에는, 스위칭특성이 저하되는 것을 방지할 목적으로 채널차광막을 제공할 필요가 있다. 차광막의 설치는, 박막트랜지스터의 제조공정수의 증가, 화소의 개구율의 저하 등의 제조비용 상승 및 디스플레이성능의 저하를 초래한다. 따라서, 이러한 문제를 해결하기 위해서, 광전류가 없는 투명한 반도체재료를 사용한 트랜지스터가 제안되어 있다.

예컨대, 투명반도체재료는, (문헌 1) 일본 공개특허공보 제93-251705호(1993년 9월28일 공개), (문헌 2) 일본 공개특허공보 제94-067187호(1994년 3월11일 공개), (문헌 3) 미국특허 제5,744,864호(특허부여일: 1998년 4월 28일) 등에 개시되어 있다.

문헌 1에는, 에너지 밴드갭이 3 eV 이상일 때 캐리어농도가 10^{18} 개 cm^{-3} 이하인 투광성반도체층을 사용하는 것으로 차광막을 없애서, 개구율을 향상시키는 것이 개시되어 있다. 또한, 문헌 2에는, 개구율의 향상 및 제조공정의 단축의 목적으로, 액정구동용 트랜지스터의 소스부, 채널부 및 드레인부, 및 액정구동용 전극이 공통의 투명반도체박막으로 형성되어 있는 기술이 개시되어 있다. 또한, 문헌 3에 있어서는, 투명한 스위칭소자를 얻기 위해서, 채널층으로서 밴드갭이 2.5 eV 이상인 축퇴반도체 재료를 사용한 예가 개시되어 있다.

여기서, 도10에, 종래의 박막트랜지스터의 V_g - I_d 특성을 도시한다. 이 박막트랜지스터는, a-Si(아모르퍼스 실리콘) TFT의 제작에 있어서 일반적으로 이용되고 있는 PECVD 법에 의해 성막된 SiN_x (단층)을 게이트절연막으로서 사용하고, 반도체재료로서 ZnO를 사용하고 있다. 도10에서, 채널치수가 $L/W = 5/15 \mu\text{m}$ 정도(L은 채널길이를 나타내고, W는 채널폭을 나타냄)인 통상 액정디스플레이에 사용되는 크기의 TFT에서 전계효과이동도(μ_{FE})가 $0.52 \text{ cm}^2/\text{Vs}$ 인 a-SiTFT와 동등한 양호한 특성이 얻어졌다.

또한, 고품질의 반도체재료를 얻기 위한 방법은, (문헌 4) 일본 공개특허공보 제97-59087호(1997년 3월4일 공개), (문헌 5) 유럽 특허공개공보 제1172858 A1호(2002년 1월16일 공개) 등에 개시되어 있다.

문헌 4에는, 성막 재료의 배향성을 향상시키기 위해서, 유리기판 표면에 성막재료와 상이한 재료로 이루어지는 중간층을 제공한 후, 그 위에 성막재료를 형성하는 것을 특징으로 하는 박막의 형성방법이 개시되어 있다. 또한, 문헌 5에는, 격자부정합성이 적은 재료를 기초기판에 사용하는 것으로, 단결정에 가까운 고품질의 반도체박막을 형성하는 방법이 개시되어 있다.

이후, 더욱 고정세인 디스플레이를 제작하거나, 보다 고개구율을 얻기 위해 TFT 그 자체를 소형화하기 위해서는, TFT 특성(이동도, ON/OFF 비 등)을 보다 향상시킬 필요가 있다.

상기 TFT 특성의 향상에는, 채널을 형성하는 반도체재료의 결정성을 향상시키는 것, 및 반도체와 게이트절연막과의 계면의 결합준위를 저감하는 것이 필요하다. 그 때문에, 그 반도체재료와 계면을 형성하는 절연막재료의 적절한 선정이 중요해진다.

그러나, 상기 투명반도체재료를 개시한 각 문헌에 기재된 트랜지스터 등의 구성에서는, 절연막이 투명반도체재료의 결정성에 미치는 영향, 계면의 상태 및 제작된 TFT의 트랜지스터 특성에의 영향 등은 일체 고찰되어 있지 않다. 또한, 채널과 계면을 형성하는 게이트절연막은, 어느 것이나 단일의 절연성재료를 사용하여 구성되어 있다. 특히, 전술한 SiN_x (단층)을 사용한 절연막과 ZnO를 사용한 반도체층이 계면을 형성하는 경우, SiN_x 에 의해서 ZnO로부터 산소를 빼앗기기 때문에, 계면부근의 ZnO의 결정성이 저하된다.

한편, 고품질 박막 형성방법에서는, 박막을 퇴적성막시키는 기판재료에 관해서, 또는 기판재료와 박막과의 사이에 형성되는 중간층, 완충층에 관해서는 언급되어 있다.

그러나, 이들은 박막을 단결정에 가깝게 성막하기 위한 방법으로, 박막을 전계효과형 트랜지스터의 반도체층으로서 사용하였을 때의 게이트절연막으로서 이 중간층, 완충층을 사용한 것은 아니다.

이와 같이, 종래의 기술에서는, 투명반도체재료를 박막트랜지스터에 응용하였을 때의 게이트절연막의 선택에 의한 TFT 특성의 향상에 관한 고찰은 되어 있지 않았다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 투명반도체 재료의 매트릭스표시장치에 있어서의 스위칭소자에의 응용을, 보다 광범위하게, 또한 유효하게 행하기 위해서, TFT 특성을 향상시킬 수 있는 게이트절연막을 갖는 박막트랜지스터 및 그를 구비한 매트릭스표시장치를 제공하는 것에 있다.

본 발명의 박막트랜지스터는, 상기 목적을 달성하기 위해서, ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO , 또는 1가의 가수(價數)를 취할 수 있는 원소 또는 Ni가 도핑된 ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO 를 사용한 반도체층, 및 게이트전극과 계면을 형성하는 산화물 이외의 재료를 사용한 제1 절연막과, 이 제1 절연막 및 상기 반도체층에 협지되고, 쌍방과 계면을 형성하는 산화물을 사용한 제2 절연막을 갖는 게이트절연막을 포함하고 있다.

상기 구성에서는, 제2 절연막이 산화물을 사용함으로써, 이 제2 절연막과 계면을 형성하는 반도체층과의 계면정합성을 양호하게 유지할 수 있다. 또한, 제1 절연막이 산화물 이외의 재료를 사용하고 있기 때문에, a-SiTFT 프로세스와 같은 비교적 저온의 온도범위에 있어서 제작된 박막트랜지스터에서는, 산화물을 사용한 제2 절연막에 비해 절연성을 높게 할 수 있다.

이와 같이, 게이트절연막을 상이한 2층의 절연막으로 구성함으로써, 제2 절연막과 계면을 형성하는 반도체층의 결정성의 향상, 및 반도체층과 제2 절연막과의 계면의 결합준위의 저감을 도모할 수 있다. 또한, 제2 절연막을 산화물로 구성하는 것으로, 제2 절연막의 재료에 의해서 반도체층(ZnO 등)으로부터 산소를 빼앗기는 것을 억제할 수 있다. 이에 의해, 반도체층의 제2 절연막과의 계면부근의 결정성이 양호하게 유지된다. 그 결과, OFF 영역에서의 누설전류 레벨이 낮고, 또한 이동도가 높은 스위칭특성이 양호한 박막트랜지스터가 실현될 수 있다. 따라서, 투명반도체막을 갖는 박막트랜지스터의 고성능화를 용이하게 실현할 수 있다.

본 발명의 다른 박막트랜지스터는, 상기 목적을 달성하기 위해서, ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO , 또는 1가의 가수를 취할 수 있는 원소 또는 Ni가 도핑된 ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO 를 사용한 반도체층, 및 게이트전극과 계면을 형성하는 산화물 이외의 재료를 사용한 제1 절연막과, 이 제1 절연막 및 상기 반도체층에 협지되고, 또한 쌍방과 계면을 형성하고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계($\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y$)($\text{Ga}_{1-z}\text{Al}_z$) O_2 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 제2 절연막을 갖는 게이트절연막을 포함하고 있다.

상기 구성에서는, 제2 절연막이 산화물을 사용함으로써, 이 제2 절연막과 계면을 형성하는 반도체층과의 계면정합성을 양호하게 유지할 수 있다. 특히, 상기 산화물 및 고용체는, 반도체층을 구성하는 ZnO 등과의 격자부정합이 작아서, 계면정합성을 매우 양호하게 유지할 수 있다. 또한, 제1 절연막이 산화물 이외의 재료를 사용하고 있기 때문에, a-SiTFT 프로세스와 같은 비교적 저온의 온도범위에 있어서 제작된 박막트랜지스터에서는, 산화물을 사용한 제2 절연막에 비해 절연성을 높게 할 수 있다.

이와 같이, 게이트절연막을 상이한 2층의 절연막으로 구성함으로써, 제2 절연막과 계면을 형성하는 반도체층의 결정성의 향상, 및 반도체층과 제2 절연막과의 계면의 결합준위의 저감을 도모할 수 있다. 또한, 제2 절연막을 상기 산화물로 구성하는 것으로, 제2 절연막의 재료에 의해서 반도체층(ZnO 등)으로부터 산소를 빼앗기는 일이 거의 없다. 이에 의해, 반도체층의 제2 절연막과의 계면부근의 결정성이 양호하게 유지된다. 그 결과, OFF 영역에서의 누설전류 레벨이 낮고, 또한 이동도가 높은 스위칭특성이 양호한 박막트랜지스터가 실현될 수 있다. 따라서, 투명반도체막을 갖는 박막트랜지스터의 고성능화를 용이하게 실현할 수 있다.

스테거형의 박막트랜지스터에 있어서는, 차광막이 불필요한 경우, 기판상에 소스전극 및 드레인전극과, 반도체층이 형성된다. 이 때문에, 기판의 재료에 따라서는, 반도체와의 격자정합성이 나쁜 경우가 있어, 박막트랜지스터의 특성을 저하시키게 된다. 그래서, 상기 산화물 또는 그들의 고용체를 사용한 기초층상에 반도체층을 형성함으로써, 전술한 박막트랜지스터에 있어서의 제2 절연막과 마찬가지로, 반도체층과의 격자정합성이 양호하게 된다. 이에 의해, 기판재료에 관계없이, 반도체층의 특성의 열화가 방지되기 때문에, 기판재료를 반도체층과의 격자정합성이 양호한 재료로 한정할

필요가 없다.

본 발명의 매트릭스표시장치는, 매트릭스 형태로 배열된 스위칭소자를 구비한 매트릭스표시장치이고, 상기 박막트랜지스터중 어느 하나를 상기 스위칭소자로서 사용하고 있다.

상기 고성능의 박막트랜지스터를 사용함으로써, 매트릭스표시장치에 있어서의 스위칭특성이 향상된다. 따라서, 표시품위가 뛰어난 매트릭스표시장치를 제공할 수 있다.

본 발명의 또 다른 목적, 특징, 및 뛰어난 점은, 이하에 나타내는 기재에 의해서 충분히 알 것이다. 또한, 본 발명의 이 점은, 첨부도면을 참조한 다음 설명에서 명백하게 될 것이다.

발명의 구성 및 작용

[실시예 1]

본 발명의 실시예 1에 관해 도1 내지 도3에 기초하여 설명하면 이하와 같다.

도1에 도시된 바와 같이, 본 실시예에 따른 박막트랜지스터(1)는, 절연성기판(2)상에 형성된 게이트전극(3)의 위에, 게이트절연막(4)을 통해 반도체층(5)이 적층되고, 이 반도체층(5)상의 양측에, 소스전극(6)과 드레인전극(7)이 형성되는 역스태거형의 구조를 하고 있다. 또한, 이 박막트랜지스터(1)에 있어서는, 매트릭스표시장치에 사용되는 경우, 드레인전극(7)에 접속되는 화소전극(8)이, 제2 절연막(4b)상에 형성된다. 또한, 이 박막트랜지스터(1)에는, 반도체층(5), 소스전극(6) 및 드레인전극(7)을 덮는 보호막(9)이 형성되어 있다.

투명한 반도체층(5)은, ZnO , $Mg_x Zn_{1-x} O$, $Cd_x Zn_{1-x} O$ 또는 CdO , 또는 1가의 가수를 취할 수 있는 원소 또는 Ni가 도핑된 ZnO , $Mg_x Zn_{1-x} O$, $Cd_x Zn_{1-x} O$ 또는 CdO 를 사용하여 형성되어 있다.

게이트절연막(4)은, 제1 절연막(4a) 및 제2 절연막(4b)을 포함하고 있다.

제1 절연막(4a)은, 절연성기판(2) 및 게이트전극(3)상에 적층되어, 게이트전극(3)과 계면을 형성하고 있다. 이 제1 절연막(4a)은, 산화물 이외의 절연성이 양호한 재료, 예컨대, SiN_x (질화실리콘)에 의해 형성되어 있다.

제2 절연막(4b)은, 제1 절연막(4a)과 반도체층(5)에 협지되도록, 제1 절연막(4a)상에 형성되어 있고, 제1 절연막(4a) 및 반도체층(5)의 쌍방과 계면을 형성하고 있다. 이 제2 절연막(4b)은, SiO_2 , Ta_2O_5 , Al_2O_3 , TiO_2 , MgO , ZrO_2 , $stab-ZrO_2$, CeO_2 , K_2O , Li_2O , Na_2O , Rb_2O , In_2O_3 , La_2O_3 , Sc_2O_3 , Y_2O_3 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용하여 형성되어 있다.

또한, 제2 절연막(4b)은, IIa 내지 VIIa족 원소의 산화물(제1 산화물), 그들 원소의 혼합물의 산화물(제2 산화물), 또는 그들의 산화물(제1 및 2 산화물) 중 적어도 2개를 포함하는 고용체가, 단층 또는 복수적층되어 있더라도 좋다. 또는, 제2 절연막(4b)은, IIb 내지 IVb족 원소의 산화물(제3 산화물), 그들 원소의 혼합물의 산화물(제4 산화물), 또는 그들의 산화물(제3 및 제4 산화물) 중 적어도 2개를 포함하는 고용체가, 단층 또는 복수적층되어 있더라도 좋다.

여기서, 상기한 바와 같이 구성되는 박막트랜지스터(1)의 제조방법을, 도2a 내지 도2f의 제조공정도를 이용하여 이하에 설명한다.

우선, 절연성기판(2)에, 게이트전극(3)으로 되는 게이트전극재로서 Ta를 300 nm의 두께로 스퍼터링에 의해 적층하고, 이 위에 포토리소그라피 공정으로 소정의 형상의 레지스트 패턴을 제작한다. 이 레지스트 패턴을 사용하여 게이트전극재에 $\text{CF}_4 + \text{O}_2$ 가스에 의해 드라이에칭을 실시하고, 그 형상으로 패터닝된 게이트전극(3) 및 이에 접속되는 게이트배선(도시 안됨)을 형성한다(도2a). 절연성기판(2)으로서는, 유리기판, 석영, 플라스틱 등이 사용되고, 게이트전극재에는 Ta 이외에 Al, Cr 등이 사용된다.

다음, 제1 절연막(4a)으로서, 질화실리콘막을 P-CVD 법에 의해 400 nm 적층한다(도2b). 이 때의 성막조건은, 기판온도가 330℃이고, 가스압력이 1.5 Torr이고, RF 파워(스퍼터 파워)가 1.5 kW이고, 가스유량이 $\text{SiH}_4/\text{NH}_3/\text{N}_2 = 150/750/2000$ sccm이다.

또, 질화실리콘막의 성막방법으로서는, 기타, 스퍼터링법 등이더라도 좋다.

또한, 제2 절연막(4b)으로서, 예컨대, SiO_2 박막을 스퍼터링법에 의해 10 nm 적층한다(도2c). SiO_2 박막의 성막시의 기판온도는 200℃, 가스유량은 산소/아르곤 = 40/80 sccm, 압력 0.7 Pa, RF 파워 4kW에서 성막한다.

그리고, 반도체재료로서 ZnO를 스퍼터링법에 의해 200 nm 적층하고, 포토리소그라피 및 웨트에칭에 의해, 게이트전극(3)의 상방에서 섬모양으로 되도록 가공한다(도2d). ZnO를 성막하는 방법으로는, 그 외에 펄스 레이저 퇴적법, 액상식출법, 졸겔법 등 어느 방법이더라도 가능하다.

계속해서, 스퍼터링법에 의해 Ta를 200 nm 성막하고, 포토리소그라피 및 $\text{CF}_4 + \text{O}_2$ 가스를 사용한 드라이에칭에 의해 소스전극(6) 및 드레인전극(7)을 형성한다. 또한, 스퍼터링법에 의해 ITO(Indium Tin Oxide)를 100 nm 성막하고, 드레인전극(7)에 접속되도록, 제2 절연막(4b)상에, 포토리소그라피 및 에칭액(염산 + 질산)에 의한 웨트에칭을 행함으로써, 화소전극(8)을 형성한다(도2e).

마지막으로, P-CVD 법에 의해서, 질화실리콘박막을 300 nm 성막하고, 이 질화실리콘막에 있어서의 화소전극(8)상과 단자부 패드(도시 안됨)상의 부분을 포토리소그라피 및 드라이에칭에 의해 제거하는 것으로 보호막(9)을 형성하여, 박막트랜지스터(1)가 완성된다(도2f).

상기한 바와 같이 하여 제작된 박막트랜지스터(1)의 V_g - I_d 특성을 도3에 도시한다. 또한, 비교예로서, 종래의 박막트랜지스터의 V_g - I_d 특성을 도10에 도시한다. 이들의 박막트랜지스터의 채널치수는, $L/W = 5/20 \mu\text{m}$ 이다.

종래의 박막트랜지스터에 있어서의 게이트절연막(SiN_x)과 반도체층(ZnO)과의 계면에서는, 게이트절연막이, 반도체층에 있어서의 산소의 일부를 취입하여 산화물층을 형성하기 때문에, 반도체층이 산소결손을 일으켰다고 생각된다. 이 때문에, 도10에 도시된 바와 같이, 이 박막트랜지스터에서는, 전계효과이동도(μ_{FE})가 $0.52 \text{ cm}^2/\text{Vs}$ 로 작다.

이에 대하여, 본 박막트랜지스터(1)에서는, 도1에 도시된 바와 같이, 반도체층(5)(ZnO)과 계면을 형성하는 제2 절연막(4b)이 산화물이기 때문에, ZnO의 산소결손이 발생하지 않고, 특성이 향상되어 있다. 구체적으로는, 도3으로부터 알 수 있듯이, 이 박막트랜지스터(1)의 전계효과이동도가 $1.3 \text{ cm}^2/\text{Vs}$ 로 향상하였다.

또한, 제2 절연막(4b)(예컨대 SiO_2)은 10 nm로 얇기 때문에 절연성은 많이 높지 않다. 그러나, 제1 절연막(4a)(SiN_x)이 높은 절연성을 갖기 때문에, 게이트전극(3)으로부터의 리크전류가 낮게 억제되어, 양호한 특성을 얻을 수 있다.

이와 같이, 본 실시예에 따른 박막트랜지스터(1)는, 절연성이 높은 제1 절연막(4a), 및 반도체층(5)(ZnO 등)으로부터 산소를 빼앗지 않는 산화물을 사용한 제2 절연막(4b)을 갖는 게이트절연막(4)을 구비하고 있다. 이에 의해, 게이트절연막(4)에 의한 절연성 및 게이트절연막(4)과 반도체층(5)과의 계면특성을 향상시킬 수 있다. 그 결과, OFF 영역에서의 누설전류레벨이 낮고, 또한 이동도가 높은 스위칭특성이 양호한 박막트랜지스터(1)가 실현될 수 있다.

제1 절연막(4a)의 재료로서 사용되는 SiN_x 는, 일반 산화물절연막과 비교하여, 저온(300°C 정도)에서 성막하더라도, 높은 절연성을 나타낸다. 또한, SiN_x 는, 투습성이 낮아, 디바이스의 신뢰성을 유지하는 것도 가능하다. 또한, SiN_x 는, 제2 절연막(4b)의 재료로서 사용된 SiO_2 와 비교하여, 디바이스 특성을 저하시키는 요인으로 되는 가동이온을 억제할 수 있다. 따라서, 제1 절연막(4a)의 재료로서 SiN_x 를 사용함으로써, SiO_2 로 이루어지는 단층의 게이트절연막을 사용한 박막트랜지스터보다 고성능 또한 고신뢰성의 박막트랜지스터를 얻을 수 있다.

[실시예 2]

실시예 2에 관해서, 도1 및 도4에 기초하여 설명하면 이하와 같다. 또, 본 실시예에 있어서, 전술한 실시예 1에서의 구성요소와 동등한 기능을 갖는 구성요소에 관해서는, 동일한 부호를 부기하여 그 설명을 생략한다.

본 실시예에 따른 박막트랜지스터(1)는, 도1에 도시된 구조를 하지만, 반도체층(5) 및 게이트절연막(4)에 있어서의 제2 절연막(4b)을 형성하기 위한 재료가 실시예 1의 박막트랜지스터(1)와 상이하다.

반도체층(5)의 재료로서는, ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO , 또는 1가의 가수를 취할 수 있는 원소 또는 Ni가 도핑된 ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO 를 사용하고 있다. 또한, 제2 절연막(4b)의 재료로서는, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계($\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y$)($\text{Ga}_{1-z}\text{Al}_z$) O_2 또는 이들의 산화물 중 적어도 2개를 포함하는 고용체를 사용하고 있다.

상기한 바와 같이 구성되는 박막트랜지스터(1)의 제조방법을, 도2a 내지 도2f의 제조공정도를 이용하여 이하에 설명한다.

절연성기판(2)상에 게이트전극(3) 및 제1 절연막(4a)을 형성하는 공정(도2a 및 도2b)에 관해서는, 실시예 1에서 설명한 공정과 마찬가지로다.

계속해서, 제2 절연막(4b)을 형성하는 공정(도2c)에 있어서는, ZnO 등과 격자 미스매치가 작은 재료로서, 예컨대 CaZrO_3 의 박막을 펄스 레이저 디포지션법(pulse laser deposition method)으로 10 nm 적층한다. 이 때의 성막조건은, 기판온도가 300°C 이고, 산소분위기가 10 mTorr이고, 레이저 파워가 150 mV, 5 Hz이다.

또한, 반도체층(5)을 형성하는 공정(도2d)에 있어서는, 제2 절연막(4b)의 위에, 예컨대 ZnO 로 이루어지는 투명반도체막을 펄스 레이저 디포지션법으로 200 nm 적층한다. 이 때의 성막조건은, 기판온도가 300°C 이고, 산소분위기가 10 mTorr, 레이저 파워가 100 mV, 10 Hz이다.

이하에 계속되는 드레인전극(6) 및 소스전극(7)으로부터 보호막(9)의 형성에 달하는 공정(도2e 및 도2f)은, 전술한 실시예 1에서 설명한 공정과 마찬가지로다.

상기한 바와 같이 하여 제작된 박막트랜지스터(1)의 V_g - I_d 특성을 도4에 도시한다.

본 박막트랜지스터(1)에서는, 반도체층(5) (ZnO)과 계면을 형성하는 기초막으로서의 제2 절연막(4b)의 격자간 거리가 ZnO 에 가까워, ZnO 의 결정성이 향상되어 있다. 그 결과, 본 박막트랜지스터(1)의 전계효과이동도(μ_{FE})가 $1.8 \text{ cm}^2/\text{Vs}$ 로 향상하였다.

또한, 제2 절연막(4b)을 30 nm 적층한 결과, 전계효과이동도가 $3.3 \text{ cm}^2/\text{Vs}$ 까지 향상할 수 있었다.

여기서, 제2 절연막(4b)의 전술한 각 재료는 페로브스카이트(perovskite) 구조를 가지며, (111)면에서 격자간격의 부정합이 논의된다. ZnO 및 전술한 각각의 격자정수로부터 계산한 결과, 전술한 각 재료에 있어서의 상기 부정합이 최대에서 2% 정도여서, 그들의 재료는, ZnO 와 격자정수의 정합성이 높은 것임을 안다. 따라서, 이러한 재료를 사용하여 형성된 제2 절연막(4b)상에 ZnO 가 반도체층(5)으로서 성막되면, 반도체층(5)의 결정성이 향상하기 때문에, 고품질의

반도체 박막을 형성할 수 있다. 이에 의해, 제작된 박막트랜지스터(1)는, 우수한 특성을 가져, 이동도의 향상을 실현할 수 있다.

이에 의해, 박막트랜지스터(1)를 매트릭스표시장치의 화소용 스위칭소자에 적합하도록 소형화할 수 있다. 또한, 후술하는 바와 같이, 평면에 매트릭스 형태로 배열된 박막트랜지스터(1)의 구동용 소자로서도 응용가능하고, 이들은 화소내의 스위칭소자와 동시에 제작 가능하다.

[실시예 3]

실시예 3에 관해서, 도5 내지 도7에 기초하여 설명하면 이하와 같다. 또, 본 실시예에 있어서, 전술한 실시예 1에 있어서의 구성요소와 동등한 기능을 갖는 구성요소에 관해서는, 동일한 부호를 부기하여 그 설명을 생략한다.

도5에 도시된 바와 같이, 본 실시예에 따른 박막트랜지스터(11)는, 절연성기판(2)상에, 게이트전극(6), 소스전극(7) 및 이들에 접속되는 반도체층(5)이 형성되고, 게이트절연막(4)을 통해, 그 위에 게이트전극(3)이 형성되는 스택거형의 구조를 하고 있다. 이 박막트랜지스터(11)에 있어서, 주목해야 할 점은, 게이트전극(6), 소스전극(7) 및 반도체층(5)이 절연성기판(2)상에 직접 형성되는 것이 아니라, 절연성기판(2)상에 형성된 기초절연막(12)(기초층)을 통해서, 그 위에 형성되어 있는 것이다.

상기 기초절연막(12)은, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계 $(\text{Li}_{1-(x+y)} \text{Na}_x \text{K}_y)(\text{Ga}_{1-z} \text{Al}_z)\text{O}_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용하여 형성되어 있다.

또한, 이 박막트랜지스터(1)에 있어서는, 매트릭스표시장치에 사용되는 경우, 드레인전극(7)에 접속되는 화소전극(8)이, 기초절연층(12)상에 형성된다. 또한, 이 박막트랜지스터(1)에는, 게이트전극(3), 게이트절연막(4), 반도체층(5), 소스전극(6) 및 드레인전극(7)을 덮는 보호막(9)이 형성되어 있다.

여기서, 상기한 바와 같이 구성되는 박막트랜지스터(11)의 제조방법을, 도6a 내지 6g의 제조공정도를 이용하여 이하에 설명한다.

우선, 절연성기판(2)에, 기초절연막(12)으로 되는 재료로서 CaHfO_3 를 스퍼터링법에 의해 10 nm 적층한다(도6a). 이 때의 성막조건은, 온도가 200℃이고, 가스유량이 산소/아르곤 = 40/60 sccm이고, 압력이 0.7 Pa이다.

다음, 상기 기초절연막(12)상에 스퍼터링법에 의해 ITO(Indium Tin Oxide)을 100 nm 성막한다. 그 ITO 막에, 포토리소그라피 및 에칭액(염산 + 질산)에 의한 웨트에칭을 행하는 것으로, 소스전극(6), 드레인전극(7) 및 화소전극(8)을 동시에 형성한다(도6b).

계속해서, 반도체재료로서 ZnO로 이루어지는 ZnO막(51)을 스퍼터링법에 의해서 200 nm 적층한다(도6c). 이 때의 성막조건은, 기판온도가 280℃, 가스유량이 산소/아르곤 = 40/80 sccm이고, 압력이 0.7 Pa이다. ZnO막을 형성하는 방법으로서, 그 외에 펄스 레이저 퇴적법, 액상석출법, 졸겔법 등 어느 방법이라도 가능하다.

또한, 제2 절연막(4b)으로 되는 SiO_2 박막(41)을 스퍼터링법에 의해서 10 nm 적층한다(도6d). SiO_2 박막(41)의 성막조건은 기판온도가 200℃이고, 가스유량이 산소/아르곤 = 40/60 sccm이고, 압력이 0.7 Pa이다.

그리고, 제1 절연막(4a)으로 되는 질화실리콘막(42)을 P-CVD 법에 의해서 400 nm 적층함과 동시에, 그 위에, 게이트전극(3)으로 되는 Ta 막(31)을 스퍼터링법으로 300 nm 성막한다(도6e).

질화실리콘막(42)의 성막조건은, 기판온도가 330℃이고, 가스압력이 1.5 Torr이고, RF 파워(스퍼터 파워)가 1.5 kW이고, 가스유량은, $\text{SiH}_4/\text{NH}_3/\text{N}_2 = 150/750/2000$ sccm이다.

또, 질화실리콘막(42)의 성막방법으로서는, 기타, 스퍼터링법 등이더라도 좋다.

그 후, Ta 막(31)상에, 게이트 패턴의 레지스트를 포토리소그라피로 형성하고, 이 Ta 막(31), 질화실리콘막(42), SiO₂ 막(41), 및 ZnO 막(51)을 패터닝하여, 게이트전극(3), 게이트절연막(4), 및 반도체막(5)을 형성한다(도6f). 이때, Ta 막(31) 및 질화실리콘막(42)을 CF₄ + O₂ 가스를 사용한 드라이에칭에 의해서 패터닝한다. 계속해서, SiO₂ 막(41) 및 ZnO 막(51)을 플루오르화수소산 + 질산의 혼합액으로 웨트에칭한다.

마지막으로, P-CVD 법에 의해서, 질화실리콘박막을 300 nm 성막하고, 이 질화실리콘박막에 있어서의 화소전극(8)상과 단자부 패드(도시 안됨)상의 부분을 포토리소그라피 및 드라이에칭에 의해 제거하는 것으로 보호막(9)을 형성하여, 박막트랜지스터(11)가 완성된다(도6g).

스태거형의 박막트랜지스터(11)에 있어서는, 반도체층(5)(ZnO)이, 기초절연막(12)상에 형성되어 있다. 이 기초절연막(12)은, 전술한 실시예 2에서 제2 절연막(4b)의 재료로서 사용된, ZnO와 격자정합성이 좋은 산화물이기 때문에, 반도체층(5)과 기초절연막(12)으로 형성되는 계면의 특성이 향상된다. 따라서, 스태거형의 박막트랜지스터(11)에 있어서도, 반도체층(5)의 결정성을 향상시킬 수 있다.

또한, 기초절연막(12)을 제공함으로써, 절연성기판(2)의 재료가, 반도체층(5)과의 격자정합성이 양호하지 않은 재료이더라도, 반도체층(5)의 특성의 열화가 방지된다. 따라서, 기판재료를, 반도체층(5)과의 격자정합성이 양호한 재료로 한정할 필요가 없다.

여기서, 상기한 바와 같이 하여 제작된 박막트랜지스터(11)의 V_g-I_d 특성을 도7에 도시한다. 이 박막트랜지스터(11)의 채널치수는, L/W = 5/20 μm이다. 이 박막트랜지스터(11)에서는, 1.1 cm²/Vs라는 높은 전계효과이동도가 얻어졌다.

이상의 각 실시예에 있어서의 박막트랜지스터(1,11)는, 이동도, ON/OFF비 등이 양호한 스위칭특성을 나타내고 있어, 현재, 액정디스플레이에 널리 사용되고 있는 a-SiTFT와 동등 이상의 성능이 얻어진다. 또한, ZnO와 계면을 형성하는 절연막(제2 절연막(4b) 또는 기초절연막(12))의 성막 조건 여하에서는, 실시예 2의 마지막에서 언급한 바와 같이, 높은 이동도(수 cm²/Vs)가 얻어질 수 있다. 이에 의해, 액정디스플레이에 있어서의 스위칭소자로서, 박막트랜지스터(1,11)를 소형화할 수 있다.

또, 전술한 실시예 1 내지 3에서는, 박막트랜지스터(1,11)의 제조공정의 설명(도2a 내지 도2f 및 도6a 내지 도6g)에 있어서, 특정한 재료를 사용한 예에 관해서 설명하였다. 그렇지만, 각 실시예에 예시한 각 재료를 사용하여 제작한 박막트랜지스터(1,11)에 관해서도, 상기 특정한 재료에 의해서 제작된 박막트랜지스터(1,11)와 마찬가지로, 성능이 향상된다.

[실시예 4]

실시예 4에 관해서, 도8 및 도9에 기초하여 설명하면 이하와 같다. 또, 본 실시예에 있어서, 전술한 실시예 1 및 3에 있어서의 구성요소와 동등한 기능을 갖는 구성요소에 관해서는, 동일한 부호를 부기하여 그 설명을 생략한다.

도8에 도시된 바와 같이, 본 실시예에 따른 매트릭스표시장치는, 액정디스플레이이고, 화소어레이(21), 소스드라이버(22), 게이트드라이버(23), 제어회로(24) 및 전원회로(25)를 구비하고 있다.

화소어레이(21), 소스드라이버(22) 및 게이트드라이버(23)는, 기판(26)상에 형성되어 있다. 기판(26)은, 유리와 같은 절연성 및 투광성을 갖는 재료에 의해 형성되어 있다. 화소어레이(21)는, 소스라인 SL..., 게이트라인 GL... 및 화소(27...)를 갖고 있다.

화소어레이(21)에 있어서는, 다수의 게이트라인 GL_j, GL_{j+1}, ...과 다수의 소스라인 SL_i, SL_{i+1}, ...이 교차하는 상태로 배열되어 있고, 인접하는 2개의 게이트라인 GL_j·GL_{j+1}과 인접하는 2개의 소스라인 SL_i·SL_{i+1}에 의해 포워된 부분에 화소(도면중, PIX로서 도시함)(27)가 제공되어 있다. 이와 같이, 화소(27...)는, 화소어레이(21)내에서 매트릭스 형태로 배열되어 있고, 1열당 1개의 소스라인 SL이 할당되고, 1행당 1개의 게이트라인 GL이 할당되어 있다.

액정디스플레이의 경우, 각 화소(21)는, 도9에 도시된 바와 같이, 스위칭소자인 트랜지스터 T, 및 액정용량 C_L 을 갖는 화소용량 C_p 에 의해서 구성되어 있다. 일반적으로, 액티브 매트릭스형 액정디스플레이에 있어서의 화소용량 C_p 는, 표시를 안정시키기 위해서, 액정용량 C_L 과 병행하여 부가된 보조용량 C_s 를 갖고 있다. 보조용량 C_s 는, 액정용량 C_L 이나 트랜지스터 T의 리크전류, 트랜지스터 T의 게이트·소스 사이 용량 및 화소전극·신호선 사이 용량 등의 기생용량에 의한 화소 전위의 변동, 및 액정용량 C_L 의 표시데이터 의존성 등의 영향을 최소한으로 억제하기 위해서 필요해진다.

트랜지스터 T의 게이트는, 게이트라인 GL_j 에 접속되어 있다. 또한, 액정용량 C_L 및 보조용량 C_s 의 일방의 전극은, 트랜지스터 T의 드레인 및 소스를 통해서 소스라인 SL_i 에 접속되어 있다. 액정용량 C_L 의 타방의 전극은, 액정셀을 형성하여 대향전극에 접속되고, 보조용량 C_s 의 타방의 전극은, 전체 화소에 공통인 도시하지 않은 공통전극선(Cs on Common 구조의 경우), 또는 인접하는 게이트라인 GL(Cs on Gate 구조의 경우)에 접속되어 있다.

다수의 게이트라인 $GL_j, GL_{j+1} \dots$ 은, 게이트드라이버(23)에 접속되고, 다수의 데이터신호선 $SL_i, SL_{i+1} \dots$ 은, 소스드라이버(22)에 접속되어 있다. 또한, 게이트드라이버(23) 및 소스드라이버(22)는, 각각 상이한 전원전압 $V_{GH} \cdot V_{GL}$ 과 전원전압 $V_{SH} \cdot V_{SL}$ 에 의해 구동된다.

소스드라이버(22)는, 제어회로(24)에 의해 인가된 영상신호 DAT를 제어회로(24)로부터의 동기신호 CKS 및 스타트 펄스 SPS에 기초하여 샘플링하여 각 열의 화소에 접속된 소스라인 $SL_i, SL_{i+1} \dots$ 에 출력하도록 되어 있다. 게이트드라이버(23)는, 제어회로(24)로부터의 동기신호 CKG·GPS 및 스타트 펄스 SPG에 기초하여 각 행의 화소(27...)에 접속된 게이트라인 $GL_j, GL_{j+1} \dots$ 에 인가되는 게이트신호를 발생하도록 되어 있다.

전원회로(25)는, 전원전압 $V_{SH} \cdot V_{SL} \cdot V_{GH} \cdot V_{GL}$, 접지전위 COM 및 전압 V_{BB} 를 발생시키는 회로이다. 전원전압 $V_{SH} \cdot V_{SL}$ 은, 각각 레벨이 상이한 전압이고, 소스드라이버(22)에 인가된다. 전원전압 $V_{GH} \cdot V_{GL}$ 은, 각각 레벨이 상이한 전압이고, 게이트드라이버(23)에 인가된다. 접지전위 COM은, 기판(26)에 제공되는 도시하지 않은 공통전극선에 인가된다.

여기서, 상기 트랜지스터 T는, 전술한 실시예 1 내지 3에 있어서의 박막트랜지스터(1,11)(도1 및 도5 참조)이다. 박막트랜지스터(1,11)는, 전술한 바와 같이, 이동도가 높고 고성능이기 때문에, 이 박막트랜지스터(1,11)를 화소(27)를 구동하는 트랜지스터 T로 사용하는 것으로, 동작속도 및 표시품위가 뛰어난 매트릭스표시장치를 제공하는 것이 가능하게 된다.

특히, 동작주파수가 비교적 낮은 게이트드라이버(23)를 구성하는 회로소자중, 트랜지스터로 구성되는 회로에서, 각 트랜지스터는, 전술한 박막트랜지스터(1,11)이다. 이는, 박막트랜지스터(1,11)가 고성능(고이동도 등)을 갖는 것에 의해 가능해진다.

또한, 화소(27)의 트랜지스터 T와 구동회로의 트랜지스터를 동일한 트랜지스터(1,11)로 구성함으로써, 이들의 트랜지스터를 동일한 기판(26)상에 동일한 프로세스를 이용하여 동시에 제작하는 것이 가능하게 된다. 이에 의해, 매트릭스표시장치의 제조공정이 감소되기 때문에, 매트릭스표시장치의 비용저하를 도모하는 것이 가능하다.

이상과 같이, 화소(27)용 트랜지스터 T 및 구동회로용 트랜지스터로서, 겸해서 박막트랜지스터(1,11)를 사용하는 것에 의해, 염가로, 동작속도 및 표시품위가 뛰어난 매트릭스표시장치를 제공하는 것이 가능하게 된다.

발명의 효과

이상에서 설명한 바와 같이, 실시예 1의 박막트랜지스터는, $ZnO, Mg_xZn_{1-x}O, Cd_xZn_{1-x}O$ 또는 CdO , 또는 1가의 가수를 취할 수 있는 원소 또는 Ni가 도핑된 $ZnO, Mg_xZn_{1-x}O, Cd_xZn_{1-x}O$ 또는 CdO 를 사용한 반도체층, 및 게이트전극과 계면을 형성하는 산화물 이외의 재료를 사용한 제1 절연막과, 이 제1 절연막 및 상기 반도체층에 형성되고, 또한 쌍방과 계면을 형성하고, $KNbO_3, KTaO_3, BaTiO_3, CaSnO_3, CaZrO_3, CdSnO_3, SrHfO_3, SrSnO_3, SrTiO_3, YScO_3, CaHfO_3, MgCeO_3, SrCeO_3, BaCeO_3, SrZrO_3, BaZrO_3, LiGaO_2, LiGaO_2$ 의 혼정계($Li_{1-(x+y)}Na_xK_y$)($Ga_{1-z}Al_z$) O_2 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 제2 절연막을 갖는 게이트절연막을 구비하고 있다.

이와 같이, 게이트절연막을 상이한 2층의 절연막으로 구성함으로써, 제2 절연막과 계면을 형성하는 반도체층의 결정성의 향상, 및 반도체층과 제2 절연막과의 계면의 결합 준위의 저감을 도모할 수 있다. 또한, 제2 절연막을 산화물로 구성하는 것으로, 제2 절연막의 재료에 의해서 반도체층으로부터 산소를 빼앗기는 것을 억제할 수 있다. 이에 의해, 반도체층의 제2 절연막과의 계면부근의 결정성이 양호하게 유지된다. 그 결과, OFF 영역에서의 누설전류 레벨이 낮고, 또한 이동도가 높은 스위칭특성이 양호한 박막트랜지스터가 실현될 수 있다. 이에 의해, 투명반도체막을 갖는 박막트랜지스터의 성능을 용이하게 향상시킬 수 있다고 하는 효과가 초래된다.

상기 박막트랜지스터에 있어서, 상기 제2 절연막은, SiO_2 , Ta_2O_5 , Al_2O_3 , TiO_2 , MgO , ZrO_2 , stab-ZrO_2 , CeO_2 , K_2O , Li_2O , Na_2O , Rb_2O , In_2O_3 , La_2O_3 , Sc_2O_3 , Y_2O_3 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용하고 있는 것이 바람직하다. 이와 같이, 제2 절연막을 상기 산화물로 구성하는 것으로, 제2 절연막의 재료에 의해서 반도체층(ZnO 등)으로부터 산소를 빼앗기는 일이 거의 없게 된다. 따라서, 보다 고성능인 박막트랜지스터를 제공할 수 있다.

실시예 2의 박막트랜지스터는, ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO , 또는 1가의 가수를 취할 수 있는 원소 또는 Ni가 도핑된 ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO 를 사용한 반도체층, 및 게이트전극과 계면을 형성하는 산화물 이외의 재료를 사용한 제1 절연막과, 이 제1 절연막 및 상기 반도체층에 협지되고, 또한 쌍방과 계면을 형성하고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계($\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y$)($\text{Ga}_{1-z}\text{Al}_z$) O_2 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 제2 절연막을 갖는 게이트절연막을 구비하고 있는 구성이다.

이와 같이, 게이트절연막을 상이한 2층의 절연막으로 구성함으로써, 제2 절연막과 계면을 형성하는 반도체층의 결정성의 향상, 및 반도체층과 제2 절연막과의 계면의 결합준위의 저감을 도모할 수 있다. 특히, 상기 산화물 및 고용체는, 반도체층을 구성하는 ZnO 등과의 격자부정합이 작아서, 계면정합성을 매우 양호하게 유지할 수 있다. 또한, 제2 절연막을 상기 산화물로 구성하는 것으로, 제2 절연막의 재료에 의해서 반도체층으로부터 산소를 빼앗기는 일이 거의 없다. 이에 의해, 반도체층의 제2 절연막과의 계면부근의 결정성이 양호하게 유지된다. 그 결과, OFF 영역에서의 누설전류 레벨이 낮고, 또한 이동도가 높은 스위칭특성이 양호한 박막트랜지스터가 실현될 수 있다. 이에 의해, 투명반도체막을 갖는 박막트랜지스터의 성능을 용이하게 향상시킬 수 있다고 하는 효과가 초래된다.

상기 각 박막트랜지스터에 있어서, 상기 제1 절연막이 SiN_x 를 사용하고 있는 것이 바람직하다. SiN_x 는, (1) 산화물절연막에 대하여 비교적 저온이더라도 높은 절연특성을 나타내고, (2) 투습성이 낮아, 디바이스의 신뢰성을 유지할 수 있고, (3) SiO_2 와 비교하여 가동이온을 억제할 수 있다고 하는 우위성을 구비하기 때문에, 게이트절연막에 양호한 절연특성을 줄 수 있다. 이 때문에, 제2 절연막을 얇게 형성하더라도, 게이트절연막의 절연성을 충분히 확보할 수 있다. 따라서, 상이한 두 가지의 절연막으로 이루어지는 게이트절연막의 두께의 증가를 억제하여, 박막트랜지스터의 사이즈 대형화를 회피할 수 있다.

상기 각 박막트랜지스터에 있어서, 그 위에 상기 반도체층이 형성되고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계($\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y$)($\text{Ga}_{1-z}\text{Al}_z$) O_2 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며, 스택거형으로 형성되어 있는 것이 바람직하다(실시예 3).

이에 의해, 전술한 박막트랜지스터에 있어서의 제2 절연막과 마찬가지로, 반도체층과의 격자정합성이 양호하게 된다. 이에 의해, 기판재료에 관계없이, 반도체층의 특성의 열화가 방지되기 때문에, 기판재료를 반도체층과의 격자정합성이 양호한 재료로 한정할 필요가 없다. 따라서, 투명반도체막을 갖는 스택거형의 박막트랜지스터에 있어서도, 고성능화를 용이하게 실현할 수 있다.

실시에 4의 매트릭스표시장치는, 매트릭스 형태로 배열된 스위칭소자를 구비한 매트릭스표시장치이고, 상기 박막트랜지스터중 어느 하나를 상기 스위칭소자로서 사용하고 있는 구성이기 때문에, 매트릭스표시장치에 있어서의 스위칭특성이 향상된다.

상기 매트릭스표시장치는, 상기 스위칭소자를 구동하는 구동회로를 포함하고, 상기 박막트랜지스터중 어느 하나를 상기 구동회로를 구성하는 트랜지스터로서 사용하고, 상기 스위칭소자 및 상기 트랜지스터가 동시에 형성되는 것이 바람직하다.

이에 의해, 구동회로를 구성하는 트랜지스터도, 상기 박막트랜지스터로 구성함으로써, 매트릭스표시장치의 제조공정의 감소가 도모된다. 따라서, 매트릭스표시장치의 비용저하를 실현할 수 있다.

이상, 본 실시예 및 전술한 다른 실시예에 있어서, 몇 개의 예를 개시하였지만, 본 발명은, 상기 각 실시예에 한정되지 않고, 동일한 개념에 기초하는 모든 구성에 적용된다.

발명의 상세한 설명의 항에 나타난 구체적인 실시태양 또는 실시예는 어디까지나 본 발명의 기술내용을 밝히는 것이며, 그와 같은 구체예에만 한정하여 협의로 해석할 것이 아니라, 본 발명의 정신과 다음에 기재하는 특허청구사항의 범위내에서, 여러 가지 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1.

ZnO , $Mg_x Zn_{1-x} O$, $Cd_x Zn_{1-x} O$ 또는 CdO , 또는 1가의 가수를 취할 수 있는 원소 또는 Ni가 도핑된 ZnO , $Mg_x Zn_{1-x} O$, $Cd_x Zn_{1-x} O$ 또는 CdO 를 사용한 반도체층, 및

게이트전극과 계면을 형성하는 산화물 이외의 재료를 사용한 제1 절연막과, 이 제1 절연막 및 상기 반도체층에 협지되고, 쌍방과 계면을 형성하는 산화물을 사용한 제2 절연막을 갖는 게이트절연막을 포함하고 있는 박막트랜지스터.

청구항 2.

제 1 항에 있어서, 그 위에 상기 반도체층이 형성되고, $KNbO_3$, $KTaO_3$, $BaTiO_3$, $CaSnO_3$, $CaZrO_3$, $CdSnO_3$, $SrHfO_3$, $SrSnO_3$, $SrTiO_3$, $YScO_3$, $CaHfO_3$, $MgCeO_3$, $SrCeO_3$, $BaCeO_3$, $SrZrO_3$, $BaZrO_3$, $LiGaO_2$, $LiGaO_2$ 의 혼정계 $(Li_{1-(x+y)} Na_x K_y)(Ga_{1-z} Al_z)O_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 박막트랜지스터.

청구항 3.

제 1 항에 있어서, 상기 제1 절연막이 SiN_x 로 이루어지는 박막트랜지스터.

청구항 4.

제 3 항에 있어서, 그 위에 상기 반도체층이 형성되고, $KNbO_3$, $KTaO_3$, $BaTiO_3$, $CaSnO_3$, $CaZrO_3$, $CdSnO_3$, $SrHfO_3$, $SrSnO_3$, $SrTiO_3$, $YScO_3$, $CaHfO_3$, $MgCeO_3$, $SrCeO_3$, $BaCeO_3$, $SrZrO_3$, $BaZrO_3$, $LiGaO_2$, $LiGaO_2$ 의 혼정계 $(Li_{1-(x+y)} Na_x K_y)(Ga_{1-z} Al_z)O_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 박막트랜지스터.

청구항 5.

제 1 항에 있어서, 상기 제2 절연막은, SiO_2 , Ta_2O_5 , Al_2O_3 , TiO_2 , MgO , ZrO_2 , stab-ZrO_2 , CeO_2 , K_2O , Li_2O , Na_2O , Rb_2O , In_2O_3 , La_2O_3 , Sc_2O_3 , Y_2O_3 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용하고 있는 박막 트랜지스터.

청구항 6.

제 5 항에 있어서, 상기 제1 절연막은 SiN_x 로 이루어지는 박막 트랜지스터.

청구항 7.

제 5 항에 있어서, 그 위에 상기 반도체층이 형성되고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계 $(\text{Li}_{1-(x+y)} \text{Na}_x \text{K}_y)(\text{Ga}_{1-z} \text{Al}_z)\text{O}_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 박막 트랜지스터.

청구항 8.

ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO , 또는 1가의 가수를 취할 수 있는 원소 또는 Ni가 도핑된 ZnO , $\text{Mg}_x\text{Zn}_{1-x}\text{O}$, $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 또는 CdO 를 사용한 반도체층, 및

게이트전극과 계면을 형성하는 산화물 이외의 재료를 사용한 제1 절연막과, 이 제1 절연막 및 상기 반도체층에 협지되고, 또한 쌍방과 계면을 형성하고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계 $(\text{Li}_{1-(x+y)} \text{Na}_x \text{K}_y)(\text{Ga}_{1-z} \text{Al}_z)\text{O}_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 제2 절연막을 갖는 게이트절연막을 포함하고 있는 박막 트랜지스터.

청구항 9.

제 8 항에 있어서, 그 위에 상기 반도체층이 형성되고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계 $(\text{Li}_{1-(x+y)} \text{Na}_x \text{K}_y)(\text{Ga}_{1-z} \text{Al}_z)\text{O}_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 박막 트랜지스터.

청구항 10.

제 8 항에 있어서, 상기 제1 절연막은 SiN_x 로 이루어지는 박막 트랜지스터.

청구항 11.

제 10 항에 있어서, 그 위에 상기 반도체층이 형성되고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계 $(\text{Li}_{1-(x+y)} \text{Na}_x \text{K}_y)(\text{Ga}_{1-z} \text{Al}_z)\text{O}_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 박막트랜지스터.

청구항 12.

매트릭스 형태로 배열된 스위칭소자를 포함하고,

상기 스위칭소자가, ZnO , $Mg_x Zn_{1-x} O$, $Cd_x Zn_{1-x} O$ 또는 CdO , 또는 1개의 가수를 취할 수 있는 원소 또는 Ni 가 도핑된 ZnO , $Mg_x Zn_{1-x} O$, $Cd_x Zn_{1-x} O$ 또는 CdO 를 사용한 반도체층, 및

게이트전극과 계면을 형성하는 산화물 이외의 재료를 사용한 제1 절연막과, 이 제1 절연막 및 상기 반도체층에 협지되고, 쌍방과 계면을 형성하는 산화물을 사용한 제2 절연막을 갖는 게이트절연막을 갖고 있는 박막트랜지스터로 이루어지는 매트릭스표시장치.

청구항 13.

제 12 항에 있어서, 상기 스위칭소자를 구동하는 구동회로를 더 포함하고,

상기 구동회로를 구성하는 트랜지스터도, 상기 박막트랜지스터로 이루어지고, 상기 스위칭소자 및 상기 트랜지스터가 동시에 형성되는 매트릭스표시장치.

청구항 14.

제 12 항에 있어서, 상기 박막트랜지스터는, 그 위에 상기 반도체층이 형성되고, $KNbO_3$, $KTaO_3$, $BaTiO_3$, $CaSnO_3$, $CaZrO_3$, $CdSnO_3$, $SrHfO_3$, $SrSnO_3$, $SrTiO_3$, $YScO_3$, $CaHfO_3$, $MgCeO_3$, $SrCeO_3$, $BaCeO_3$, $SrZrO_3$, $BaZrO_3$, $LiGaO_2$, $LiGaO_2$ 의 혼정계 $(Li_{1-(x+y)} Na_x K_y) (Ga_{1-z} Al_z) O_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 매트릭스표시장치.

청구항 15.

제 12 항에 있어서, 상기 박막트랜지스터의 상기 제1 절연막은 SiN_x 로 이루어지는 매트릭스표시장치.

청구항 16.

제 15 항에 있어서, 상기 박막트랜지스터는, 그 위에 상기 반도체층이 형성되고, $KNbO_3$, $KTaO_3$, $BaTiO_3$, $CaSnO_3$, $CaZrO_3$, $CdSnO_3$, $SrHfO_3$, $SrSnO_3$, $SrTiO_3$, $YScO_3$, $CaHfO_3$, $MgCeO_3$, $SrCeO_3$, $BaCeO_3$, $SrZrO_3$, $BaZrO_3$, $LiGaO_2$, $LiGaO_2$ 의 혼정계 $(Li_{1-(x+y)} Na_x K_y) (Ga_{1-z} Al_z) O_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 매트릭스표시장치.

청구항 17.

제 12 항에 있어서, 상기 박막트랜지스터의 상기 제2 절연막은, SiO_2 , Ta_2O_5 , Al_2O_3 , TiO_2 , MgO , ZrO_2 , $stab-ZrO_2$, CeO_2 , K_2O , Li_2O , Na_2O , Rb_2O , In_2O_3 , La_2O_3 , Sc_2O_3 , Y_2O_3 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용하고 있는 매트릭스표시장치.

청구항 18.

제 17 항에 있어서, 상기 박막트랜지스터의 상기 제1 절연막은 SiN_x 로 이루어지는 매트릭스표시장치.

청구항 19.

제 18 항에 있어서, 상기 박막트랜지스터는, 그 위에 상기 반도체층이 형성되고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계 $(\text{Li}_{1-(x+y)} \text{Na}_x \text{K}_y)(\text{Ga}_{1-z} \text{Al}_z)\text{O}_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 매트릭스표시장치.

청구항 20.

매트릭스 형태로 배열된 스위칭소자를 포함하고,

상기 스위칭소자가, ZnO , $\text{Mg}_x \text{Zn}_{1-x} \text{O}$, $\text{Cd}_x \text{Zn}_{1-x} \text{O}$ 또는 CdO , 또는 1가의 가수를 취할 수 있는 원소 또는 Ni가 도핑된 ZnO , $\text{Mg}_x \text{Zn}_{1-x} \text{O}$, $\text{Cd}_x \text{Zn}_{1-x} \text{O}$ 또는 CdO 를 사용한 반도체층, 및

게이트전극과 계면을 형성하는 산화물 이외의 재료를 사용한 제1 절연막과, 이 제1 절연막 및 상기 반도체층에 협지되고, 또한 쌍방과 계면을 형성하고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계 $(\text{Li}_{1-(x+y)} \text{Na}_x \text{K}_y)(\text{Ga}_{1-z} \text{Al}_z)\text{O}_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 제2 절연막을 갖는 게이트절연막을 구비하고 있는 박막트랜지스터로 이루어지는 매트릭스표시장치.

청구항 21.

제 20 항에 있어서, 상기 스위칭소자를 구동하는 구동회로를 더 포함하고,

상기 구동회로를 구성하는 트랜지스터도, 상기 박막트랜지스터로 이루어지고, 상기 스위칭소자 및 상기 트랜지스터가 동시에 형성되는 매트릭스표시장치.

청구항 22.

제 20 항에 있어서, 상기 박막트랜지스터는, 그 위에 상기 반도체층이 형성되고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계 $(\text{Li}_{1-(x+y)} \text{Na}_x \text{K}_y)(\text{Ga}_{1-z} \text{Al}_z)\text{O}_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 매트릭스표시장치.

청구항 23.

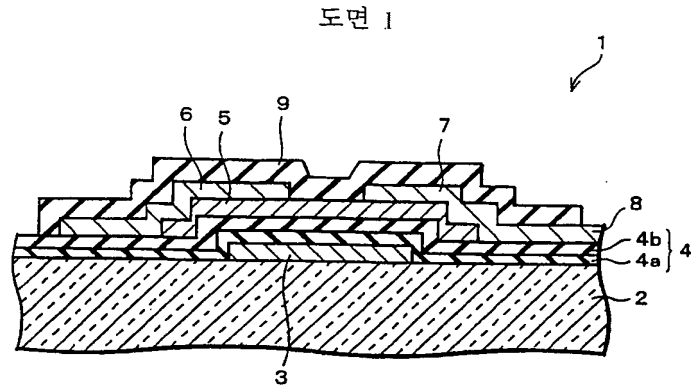
제 20 항에 있어서, 상기 박막트랜지스터의 상기 제1 절연막은 SiN_x 로 이루어지는 매트릭스표시장치.

청구항 24.

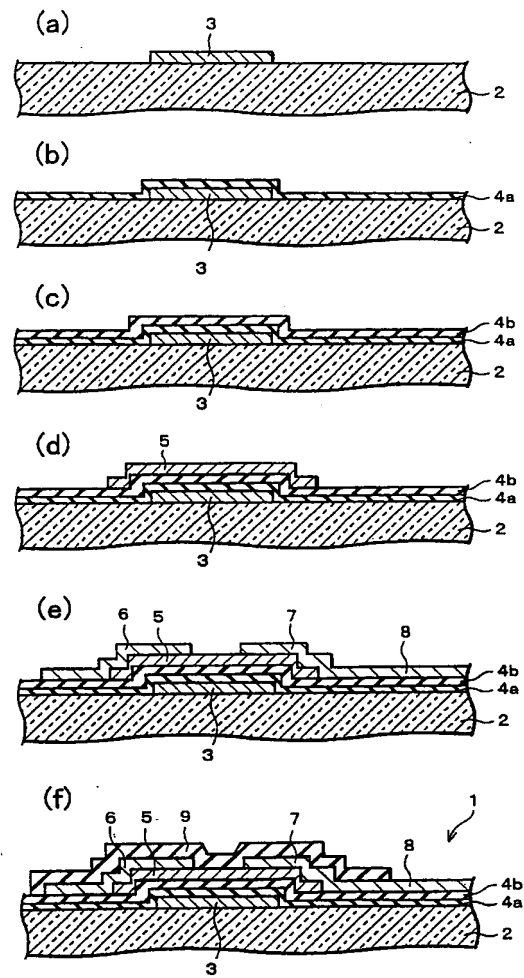
제 23 항에 있어서, 상기 박막트랜지스터는, 그 위에 상기 반도체층이 형성되고, KNbO_3 , KTaO_3 , BaTiO_3 , CaSnO_3 , CaZrO_3 , CdSnO_3 , SrHfO_3 , SrSnO_3 , SrTiO_3 , YScO_3 , CaHfO_3 , MgCeO_3 , SrCeO_3 , BaCeO_3 , SrZrO_3 , BaZrO_3 , LiGaO_2 , LiGaO_2 의 혼정계 $(\text{Li}_{1-(x+y)} \text{Na}_x \text{K}_y)(\text{Ga}_{1-z} \text{Al}_z)\text{O}_2$ 또는 이들의 산화물중 적어도 2개를 포함하는 고용체를 사용한 기초층을 더 포함하며,

스태거형으로 형성되어 있는 매트릭스표시장치.

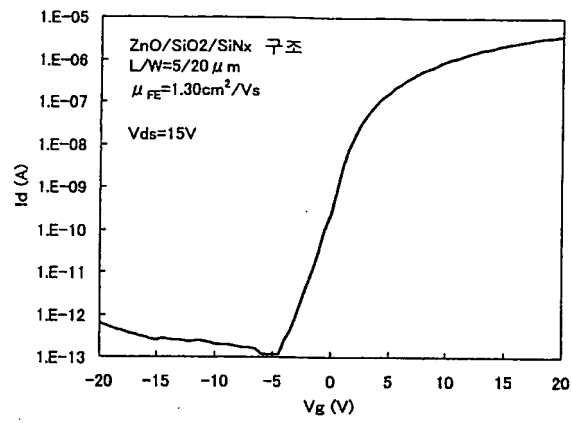
도면



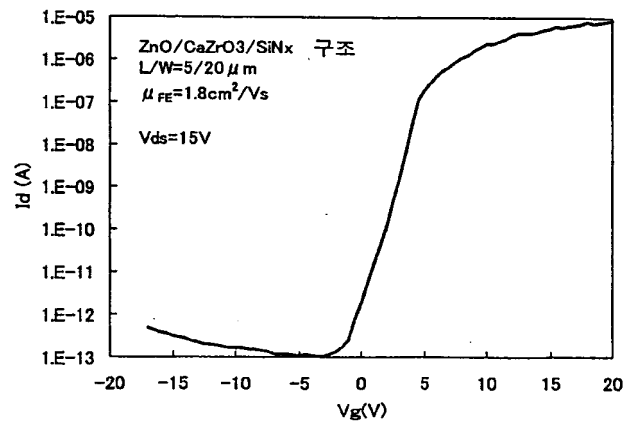
도면 2



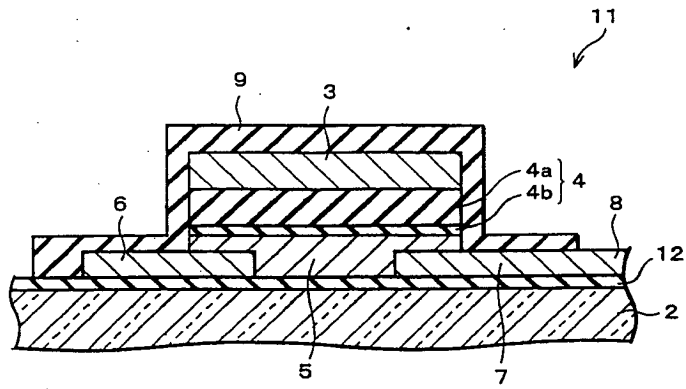
도면 3



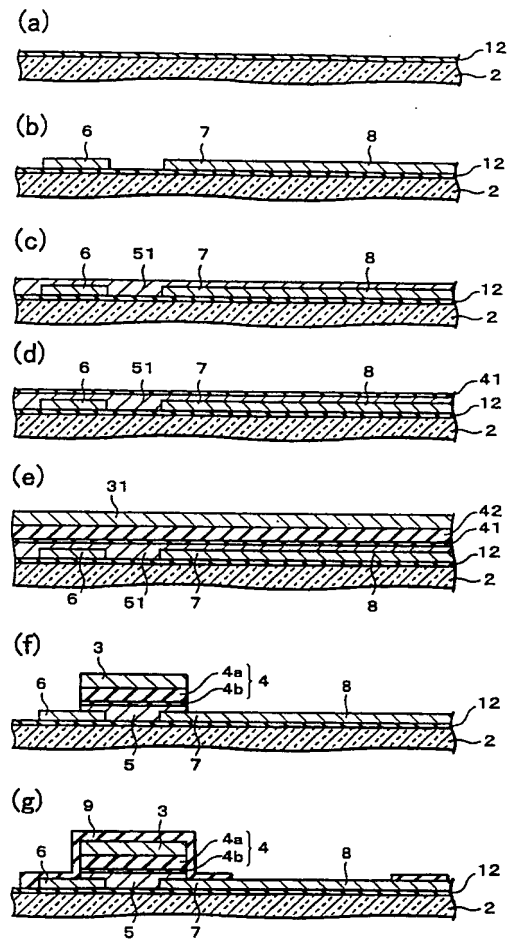
도면 4



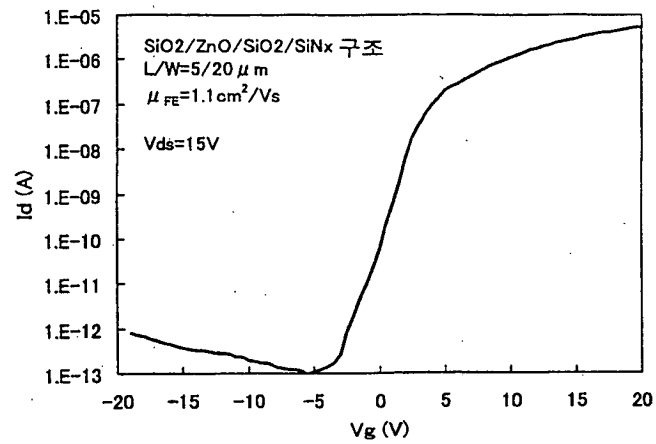
도면 5



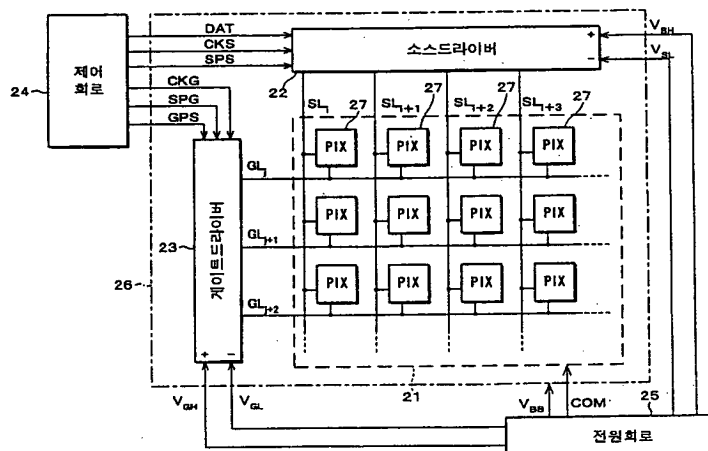
도면 6



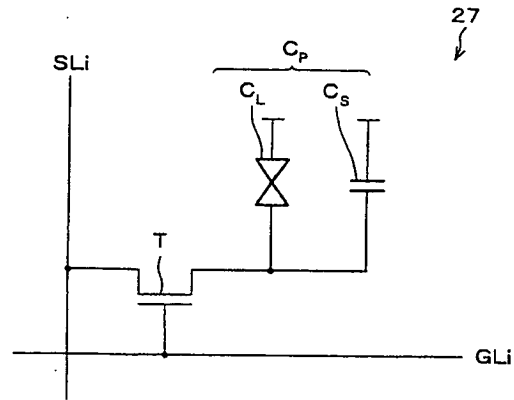
도면 7



도면 8



도면 9



도면 10

(종래 기술)

